

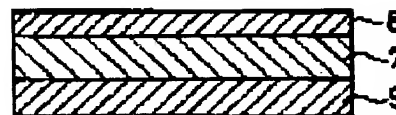
DOUBLE-SIDED ADHESIVE TAPE, LEAD FRAME AND INTEGRATED CIRCUIT

Patent number: JP10081857
Publication date: 1998-03-31
Inventor: HATANO KAZUHISA; TAKEYA NORIAKI; YONEMOTO TAKAHARU; YOSHIOKA OSAMU; MURAKAMI HAJIME
Applicant: HITACHI CABLE LTD
Classification:
- international: C09J7/02; H01L23/50
- european:
Application number: JP19960235085 19960905
Priority number(s):

Abstract of JP10081857

PROBLEM TO BE SOLVED: To realize a highly reliable IC package by controlling the foaming in an adhesive applied to a double-sided adhesive tape and the formation of a non-adherent part between IC chip and the tape.

SOLUTION: In the formation of a double-sided adhesive tape, a lead-side adhesive 8 is applied to the upper surface of a 25- μ m thick polyimide base film 7 to form a 10- μ m thick coating layer. The lead-side adhesive 8 is a thermoplastic polyimide adhesive having an elastic modulus of 15MPa at 250 deg.C. An adhesive 9 for IC chips, which is a thermoplastic polyimide adhesive having an elastic modulus of 15MPa at 250 deg.C, is applied to the lower surface of the base film 7 to form a 20- μ m thick coating layer.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-81857

(43) 公開日 平成10年(1998) 3月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
C 0 9 J 7/02			C 0 9 J 7/02	Z
H 0 1 L 23/50			H 0 1 L 23/50	Y

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平8-235085

(22) 出願日 平成8年(1996) 9月5日

(71) 出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72) 発明者 幡野 和久

茨城県土浦市木田余町3550番地 日立電線

株式会社システムマテリアル研究所内

(72) 発明者 竹谷 則明

茨城県土浦市木田余町3550番地 日立電線

株式会社システムマテリアル研究所内

(72) 発明者 米本 隆治

茨城県土浦市木田余町3550番地 日立電線

株式会社システムマテリアル研究所内

(74) 代理人 弁理士 松本 孝

最終頁に続く

(54) 【発明の名称】 両面接着テープ、リードフレーム及び集積回路装置

(57) 【要約】

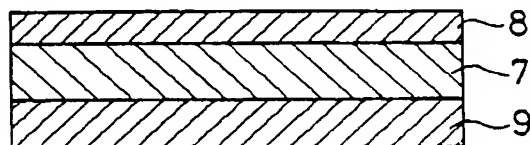
【課題】両面テープに塗布している接着剤内の気泡の発生や、ICチップとの両面テープとの間の未接着部分の発生を抑制し、信頼性の高いICパッケージの実現。

【解決手段】両面接着テープ3a、3bは、厚さ25 μ mのポリイミドのベースフィルム7の上面にリード側接着剤8を厚さ10 μ mで塗布される。このリード側接着剤8は、弾性率が250℃のときに15MPaの熱可塑性ポリイミド系接着剤である。一方、ベースフィルム7の下面にも、弾性率が250℃のときに15MPaの熱可塑性ポリイミド系接着剤であるICチップ側接着剤9を厚さ20 μ mで塗布される。

7:ベースフィルム

8:リード側接着剤

9:ICチップ側接着剤



【特許請求の範囲】

【請求項1】ベースフィルムの下面に接着剤を塗布し、前記ベースフィルムの上面にも接着剤を塗布したリードフレーム用の両面接着テープにおいて、前記下面の接着剤の塗布厚と、前記上面の接着剤の塗布厚とを異なる塗布厚にしたことを特徴とする両面接着テープ。

【請求項2】前記下面の接着剤の塗布厚と、前記上面の接着剤の塗布厚との比を1.5以上とすることを特徴とする請求項1記載の両面接着テープ。

【請求項3】請求項1又は2記載の両面接着テープを使用して、リードフレームと前記両面接着テープのいずれかの側の接着剤とが接着されていることを特徴とするリードフレーム。

【請求項4】請求項3のリードフレームを使用して、リードフレームが接着されていない両面接着テープの側の接着剤に集積回路チップを接着し、集積回路チップの上に両面接着テープを挟みリードを搭載する構造にしたことを特徴とする集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、両面接着テープ、リードフレーム及び集積回路装置に関し、例えば、リードフレームを使用した半導体パッケージや、LOC (Lead On Chip) 構造の半導体パッケージに適用し得るものである。

【0002】

【従来の技術】近年、メモリ容量の増大の要請に基づき、大容量のDRAMが開発されている。このDRAMにおいては、高密度実装の要求に対応して、比較的に小さなパッケージに大型化したICチップを収納できるLOC構造が採用されている。これは、ICチップ配線面上に絶縁用の接着剤付きの両面テープを介して、リードフレームを載せた構造又はインナリードを接着した構造である。

【0003】このような技術については、例えば、文献：特開平6-21111号公報（半導体装置及びその製造方法）、特開平7-193092号公報（LOC構造半導体装置）などにも開示されている。このLOC構造用のリードフレーム用両面接着テープについては、文献：特開平1-169934号公報（半導体装置の製造方法）、特開平2-15663号公報（リードフレーム用両面接着テープ）などにも開示されている。

【0004】このLOC構造におけるインナリードとICチップとを接着する絶縁用の両面接着テープには、従来、両面共に同じ厚さで接着剤を塗布したテープを使用していた。

【0005】

【発明が解決しようとする課題】しかしながら、例えば、300℃で弾性率が1MPa以下である熱可塑性接着剤を使用すると、300℃以上の温度でICチップを

絶縁テープ付きリードフレームに圧着した際に、リードとICチップとによって挟まれる部分に配置される接着剤内部に細かい気泡が発生して、そのまま残留する。また、250℃で弾性率が10MPa以上の熱可塑性接着剤を使用すると、上述のような細かい気泡の残留が生じない代わりに、平面的にみてリードと他のリードとの間に位置する部分のICチップと絶縁用の両面テープとの間に未接着部分が生じる。これらの未接着部分や上述の気泡の発生は、ICパッケージへの樹脂封止後のICパッケージが割れる起点となり、ICパッケージの信頼性を低減させていた。

【0006】このようなことから、上述の両面テープに塗布している接着剤内の気泡の発生や、ICチップ又はリード（若しくはリードフレーム）と両面テープとの間の未接着部分の発生を抑制し、信頼性の高いICパッケージ（集積回路装置）の実現が要請されている。

【0007】

【課題を解決するための手段】

（1）そこで、第1の発明は、ベースフィルムの下面に接着剤を塗布し、ベースフィルムの上面にも接着剤を塗布したリードフレーム用の両面接着テープにおいて、下面の接着剤の塗布厚と、上面の接着剤の塗布厚とを異なる塗布厚にした。

【0008】このような構造にすることによって、接着剤に熱を加えた場合に、接着剤内部での気泡の発生を抑制でき、接着対象（例えば、リードフレーム、集積回路チップ）との接着において、接着対象との未接着部分の面積又は割合を低減できる。

（2）また、第2の発明は、ベースフィルムの下面の接着剤の塗布厚と、上面の接着剤の塗布厚との比を1.5以上とする。

【0009】このような関係にすることで、接着剤内部での気泡の発泡率、未接着部分の割合を顕著に軽減させることができる。

【0010】（3）更に、第3の発明は、上述の第1の発明又は第2の発明の両面接着テープを使用して、リードフレームと前記両面接着テープのいずれかの側の接着剤とが接着されているリードフレームである。

【0011】このように構成することで、リードフレームと両面接着テープのいずれの側の接着剤とも接着することができ、今までと同じような処理行程で、リードフレームを製造することができる。

【0012】（4）更にまた、第4の発明は、上述の第3の発明のリードフレームを使用して、リードフレームが接着されていない両面接着テープの側の接着剤に集積回路チップを接着し、集積回路チップの上に両面接着テープを挟みリードを搭載する構造にした集積回路装置である。

【0013】このような構成をとることで、LOC構造の集積回路装置を実現でき、しかも、従来に比べ接着剤

内部の気泡の発生を低減し、更に、集積回路チップ又はリードフレームとの未接着部分の割合を低減することができる。

【0014】

【発明の実施の形態】次に本発明の好適な実施の形態を図面を用いて説明する。そこで、先ず、この実施の形態においては、接着剤層とベースフィルム層とを合わせたテープ全体の厚さが厚いほど、平面的に見てリードとリードとの間に位置する部分のICチップとテープとの間の未接着部分が減少することに着目した。

【0015】例えば、接着剤の弾性率が250℃で10MPaである両面テープを使用した場合、全厚が100 μ mのときに、平面的に見てリードとリードとの間に位置する部分のICチップと両面テープとの間の未接着部分は、両面テープ全体からリードを除いた部分の面積の5%以下となったが、全厚が55 μ mの場合は、50%となった。しかしながら、両面テープが厚くなることは、ICパッケージの薄型化のためには不都合な要因となる。

【0016】従って、両面テープの厚さを増やすことなく、上述のような気泡の発生や未接着部の発生を抑制し、信頼性の高いICパッケージを実現する具体的な構成を以下に示す。その概要としては、LOC型ICパッケージにおいて、両面接着テープのそれぞれの面に塗布する接着剤の厚さを同じにせず、異なる厚さに形成する。

【0017】図3は、本実施の形態において本発明を適用するICパッケージの全体構成図である。この図3において、本実施の形態のICパッケージは、125 μ m厚のリードフレーム4に55 μ mの熱可塑性両面接着テープ3a、3bを介してICチップ1をマウントした後、ICチップ1の表面からのループ高さを24 μ m以下に抑え素子電極パッド2からリード11a、11bへボンディングワイヤ6で接続し、モールド樹脂5によってモールドしている。そして、アウトリード10a、10bを切断後、リード11a、11bをチップの側面から裏面に来るように折り曲げて、Jベンド型のICパッケージを形成している。

【0018】図2は、本実施の形態に採用した接着剤の厚さの差による発泡率と未接着率との変化の様子を表す実験結果の図である。本実験においては、接着剤を含む両面テープ全体の厚さを55 μ mとし、同時にベースフィルムの厚さを25 μ mとし、それぞれを一定としてテープの両面に塗布する接着剤の厚さの偏り具合を変化させた。ここで、発泡率とは、テープ両面の接着剤の厚さをそれぞれ15 μ mとしたときの両面テープ内の発生気泡の面積を1としたときに対する発生気泡の面積を示し、未接着率とは、平面的に見てリードとリードとの間に位置する部分のICチップと両面テープとの間の未接着部分の面積の、全体からリード部を除いた部分の面積

に対する割合を示す。

【0019】この図2に示すように、接着剤の塗布厚さがリード側、チップ側のいずれに偏った場合であっても、発泡率と未接着率ともに低減している。その効果は、接着剤の厚さが、リード側、チップ側ともに15 μ mのときの発泡率1と未接着率50%とを基準として、リード側の接着剤の厚さが12 μ mで、チップ側の接着剤の厚さが18 μ mのときに既に顕著に現われてきている。即ち、このときに、発泡率が0.9に減少し、未接着率が40%に減少している。

【0020】また、逆にリード側の接着剤の厚さが18 μ mで、チップ側の接着剤の厚さが12 μ mのときにも既に同じように効果が顕著に現われてきている。即ち、発泡率が0.8に減少し、未接着率が45%に減少している。

【0021】これらの実験結果から、テープの両面の接着剤の厚さの比が1.5以上になると、発泡率及び未接着率が改善されることが解った。即ち、厚さ比が18/12=1.5のときに発泡率0.8又は0.9、未接着率40%又は45%であり、厚さ比が20/10=2のときに発泡率0.8、未接着率20%又は30%で、厚さ比が25/5=5のときに発泡率0.4又は0.5、未接着率20%又は60%であり、いずれも厚さ比が1のときに比べて、発泡率、未接着率を改善することができる。

【0022】図1は、上述の図2の最適厚さ比の結果をもとに、上述の図3の両面接着テープ3a、3bの構造を示す図である。この図3において、両面接着テープ3a、3bは、厚さ25 μ mのポリイミドのベースフィルム7の上面にリード側接着剤8が厚さ10 μ mで塗布されている。このリード側接着剤8は、弾性率が250℃のときに15MPaの熱可塑性ポリイミド系接着剤である。一方、ベースフィルム7の下面にも、弾性率が250℃のときに15MPaの熱可塑性ポリイミド系接着剤であるICチップ側接着剤9が厚さ20 μ mで塗布されている。

【0023】これらの接着剤の塗布によってLOC構造のICパッケージを実現するための両面接着テープ3a、3bを得ることができ、リード側接着剤8によってリードを固定し、ICチップ側接着剤9にICチップを固定する。

【0024】以上の本発明の実施の形態によれば、LOC構造のICパッケージを実現する上で必要になっていたリードとICチップとの間の両面接着テープの接着剤における気泡の発生、未接着部の発生を簡単な構成で低減することができる。即ち、ベースフィルムの方の面に塗布する熱可塑性ポリイミド系接着剤の厚さと、他方の面に塗布する熱可塑性ポリイミド系接着剤の厚さとを同じにせず、異なる厚さにすることで、上述の効果を得ることができる。両面に塗布する接着剤の厚さ関係は、

定量的には、厚さ比が1.5以上であれば改善効果を得ることができる。しかも、リード側接着剤、ICチップ側接着剤のいずれの厚さを厚くするか、それとも薄くするかは、特に限定されないので、製造処理行程を複雑化する心配もない。

【0025】従って、従来起きていた接着剤での気泡の発生、未接着部の発生によるICパッケージの割れを、本実施の形態の簡単な構成によって軽減できるのでICパッケージの信頼性を向上させることができる。

【0026】(他の実施の形態)

(1) 尚、上述の実施の形態において、ICパッケージの、リードフレームの厚さを $125\mu\text{m}$ とし、熱可塑性両面接着テープ3a、3bの厚さを $100\mu\text{m}$ とし、ICチップ1表面からのループ高さを $280\mu\text{m}$ 以下に抑え、両面接着テープ3a、3bを、ポリイミドのベースフィルム7の厚さを $50\mu\text{m}$ とし、接着剤を弾性率が 250°C のときに 15MPa とし、この接着剤をリード側接着剤8として $20\mu\text{m}$ 厚さで塗布し、ICチップ側接着剤9として $30\mu\text{m}$ 塗布することで、接着剤厚さ比を $30\mu\text{m} : 20\mu\text{m} = 1.5$ にでき、接着剤内の発泡を軽減し、ICチップと両面テープとの間の未接着部分を低減することができる。

【0027】(2) また、ベースフィルム7は、ポリエーテルイミドなどの耐熱性フィルム、エポキシ樹脂-ガラスクロスなどの複合耐熱フィルムを採用することも好ましい。

【0028】(3) 更に、接着剤として、熱可塑性のハイマル(日立化成工業株式会社)(ポリエーテルアミドイミド)を使用することもできる。また、熱硬化性樹脂からなる接着剤を使用することもできる。

【0029】

【発明の効果】以上述べたように本発明は、ベースフィルムの下面の接着剤の塗布厚と、ベースフィルムの上面の接着剤の塗布厚とを異なる塗布厚にした両面接着テープであって、この両面接着テープを使用することで、従来起きていた接着剤での気泡の発生、未接着部の発生による集積回路パッケージの割れを、簡単な構成によって軽減できるので集積回路装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態のLOC構造用の両面接着テープの断面構造図である。

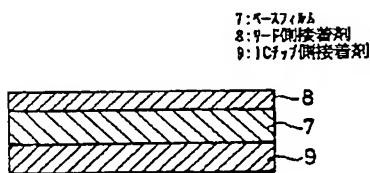
【図2】実施の形態の両面接着テープの両面の接着剤の厚さを変えたときの、発泡率及び未接着部分の割合の関係を示す図である。

【図3】実施の形態のICパッケージの断面構造図である。

【符号の説明】

- 1 ICチップ
- 2 素子電極パッド
- 3a、3b 両面接着テープ
- 4 リードフレーム
- 5 モールド樹脂
- 6 ボンディングワイヤ
- 7 ベースフィルム
- 8 リード側接着剤
- 9 ICチップ側接着剤
- 10a、10b アウタリード
- 11a、11b リード

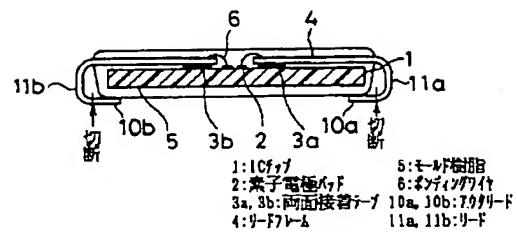
【図1】



【図2】

接着剤厚さ(μm)		発泡率	未接着率
リード側	チップ側		
0	30	-	-
5	25	0.5	60
10	20	0.8	20
12	18	0.9	40
15	15	1	50
18	12	0.8	45
20	10	0.8	30
25	5	0.4	20
30	0	-	-

【図3】



フロントページの続き

(72)発明者 吉岡 修
茨城県土浦市木田余町3550番地 日立電線
株式会社システムマテリアル研究所内

(72)発明者 村上 元
茨城県日立市助川町3丁目1番1号 日立
電線株式会社電線工場内